IRT Institut für Regelungstechnik
Leibniz Universität Hannover

MZH

Leibniz Universität Hannover

Echtzeitsystem für autonome Roboter

Dipl.-Ing. M. Seebode, seebode@irt.uni-hannover.de, Tel: +49-511-762-4518

Allgemeines

Zweibeinige Roboter werden in Zukunft rechenintensive Bahnplanungsverfahren und intelligente Regelungen einsetzen, um die Vorteile der zweibeinigen Fortbewegung tatsächlich ausnutzen zu können. Im Allgemeinen stellen die Aufgaben zukünftiger mobiler Serviceroboter immer höhere Anforderungen an die Prozessrechner. Die Auswahl einer echtzeitfähigen Prozessorplattform mit genügend Rechenleistung hat daher stets eine wesentliche Bedeutung in der Entwicklung solcher Systeme.

Prozessor-PMC-Modul als kompakte Lösung

Prozessormodule im PCI Mezzanine Card (PMC) Format eignen sich besonders für den Einsatz in autonomen Robotern, wenn sie zugleich auf platzsparenden Trägerkarten mit passender Peripherie betrieben werden.
Im Gegensatz zu vielen embedded Systemen mit proprietären Schnittstellen sind diese Module im genormten Formfaktor herstellerübergreifend austauschbar. Trotz ihrer Kompaktheit bleibt die Rechenleistung damit leicht skalierbar. Der Einsatz von PrPMC-Modulen ist auf Trägerkarten mit sechs Höheneinheiten (HE) in großen Baugruppenträgern typisch. Erst die Entwicklung einer kleineren 3HE-Trägerkarte hat die Gesamtlösung interessant für autonome Roboter gemacht, denn sie besitzt zusätzlich auch die für die Prozessankopplung erforderliche I/O.

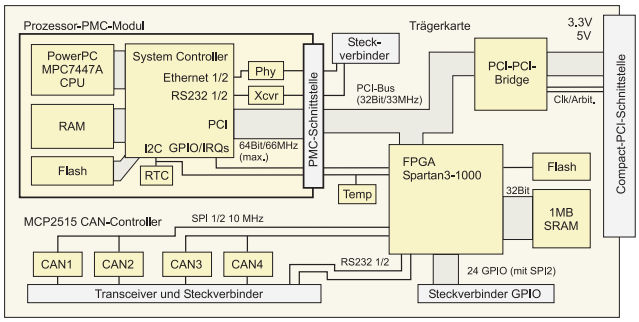
PowerPC-basierter Prozessor mit Vektoreinheit

Die zweibeinigen Laufmaschine **LISA** ist für optimale Echtzeiteigenschaften und einer hohen Performance bei geringer Leistungsaufnahme mit einem PowerPC-basierten Prozessormodul ausgestattet:

- Superskalare PowerPC-CPU vom Typ Freescale MPC7447A mit 1 GHz, 512 KB L2-Cache und 128-Bit AltiVec-Einheit
- 64 MB Flash als „Solid-State-Disk“ und 512 MB DDR-RAM
- Systemcontroller Marvell MV64360: 2× Gigabit-Ethernet mit physical Layer, 2× RS232, I_2C, GPIO, 64-Bit-PCI-Schnittstelle
- Genormte PMC-Schnittstelle, Formfaktor: 149 × 74 mm

FPGA-I/O-Trägerkarte für Prozessor-PMCs

Übersicht und technische Ausstattung:



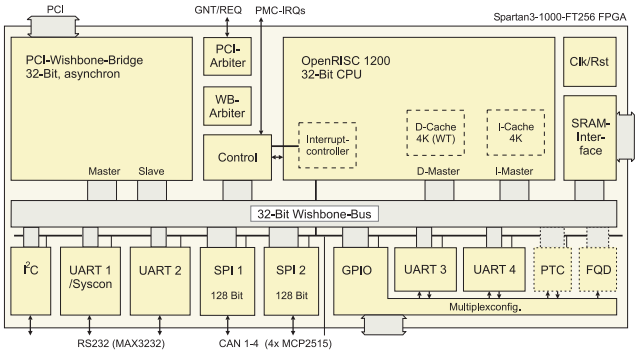
- Leiterkarte im Europakartenformat mit nur 3 Höheneinheiten
- Spartan3-1000-FPGA für flexible I/O mit direkter Ankopplung an den PCI-Bus des PrPMC, Preisklasse: 30 EUR
- 4 CAN-Controller für die Sensor- und Mikrocontrollernetzwerke des Roboters
- Flexibler Einsatz des FPGA durch 32-Bit-SRAM-Anbindung, einfachen GPIO-Anschlüssen, SPI-Bus und RS232-Treibern
- System-Slot-Karte für Compact-PCI-Bussystem ermöglicht Erweiterung mit zusätzlichen I/O-Karten
- Betrieb als Peripheral-Compact-PCI-Karte vorgesehen, ermöglicht den Betrieb mehrerer Prozessorkarten an einem gemeinsamen Bus für Mehrprozessorbetrieb oder erweiterte I/O
- Auch ohne PrPMC als universelle FPGA- bzw. PCI-I/O-Karte einsetzbar

Betriebssystem und Performanceeigenschaften

- Echtzeitbetriebssystem **RTOS-UH**
  - Kleinstes Zeitatom: 50μs
  - Typ. Kontextwechselzeit: 130 – 550 ns in der Anwendung (LISA-Robotersoftware mit 53 Tasks)
  - Kleinste Reaktionszeit zwischen GPIO-Interrupt am Chipsatz bis Anlauf der Anwendertask: 1.8μs
- Rechenleistung an einem Beispiel: Berechnungsdauer einer 4×4–Matrixmultiplikation mit 32-Bit Floats
  - FPU: 189 ns
  - AltiVec-Vektoreinheit: 26 ns

OpenCore-FPGA-System bildet aktiven Controller

Die Funktion des FPGA basiert auf OpenSource-Verhaltensmodellen (OpenCores). Für den Einsatz in **LISA** und **BARt** steht die CAN-Kommunikation des Prozessors mit der Peripherie im Vordergrund. Aus diesem Grund ist das FPGA neben den I/O-Controllern mit einer 32-Bit CPU gefüllt, die die Kommunikation mit den CAN-Controllern über den SPI-Bus erledigt. Das folgende Bild zeigt die Struktur des FPGA-Systems:



- Programmierbarer, aktiver I/O-Controller
- OpenCores, http://www.opencores.org
- Keine Lizenzgebühren
- 32-Bit-System mit zentralem 40 MHz Bus nach Wishbone-Spezifikation
- Flexible Gestaltung der I/O-Funktionen aufgrund großer Auswahl an Wishbone-kompatiblen Controllern
- Die asynchrone PCI-Wishbone-Bridge blendet die Register der I/O-Controller in den Speicherbereich des Prozessormoduls, DMA-Betrieb für Speicherzugriffe vom FPGA in das RAM des PrPMCs ist damit möglich
- 2 SPI-Controller mit 128-Bit Datenregister für effiziente Kommunikation mit den externen CAN-SPI-Umsetzern (MCP2515)
- 32-Bit SoftCore-CPU: OpenRISC 1200 mit 40 MHz
  - 32 Allzweckregister, skalarer RISC mit Harvard-Architektur
  - 2× 4KB FPGA-internes BlockRAM für I- und D-Cache, reduzieren Zugriffe über zentralen Wishbone-Bus
  - 1 MB externes SRAM als Arbeitsspeicher
  - Programme lassen sich vom PrPMC-Modul über die PCI-Wishbone-Bridge in das SRAM laden
  - Assembler, Compiler und Hardware-Debugger verfügbar